

ABSTRACT

(Korean Patent Application Laid-open No. 2000-59285)

The present invention discloses a method for burying a
5 trench having an aspect ratio of more than 3:1. The feature
of the method related to the present invention is that the method
includes a multi-stage burying process which differs in the
ratio of (etching rate)/(depositing rate), by depositing an
insulating film inside of the trench using a high-density-plasma
10 chemical vapor deposition. According to the method of the
present invention, the inside of the trench, which has an aspect
ratio of more than 3:1, is completely filled having no void.

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 21/205(11) 공개번호 특2000-0059285
(43) 공개일자 2000년10월05일(21) 출원번호 10-1999-0006732
(22) 출원일자 1999년03월02일(71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
(72) 발명자 김성진
경기도수원시팔달구매탄3동임광아파트3동1306호
(74) 대리인 이영필
권석출
정상민

심사청구 : 없음

(54) 트렌치 매립 방법

요약

본 발명은 반도체 소자의 제조공정에 있어서, 3:1 이상의 종횡비를 갖는 트렌치형 매립하는 방법을 개시한다. 본 발명의 트렌치 매립방법은, 고밀도 플라즈마 화학기상 증착방법을 이용하여 트렌치 내부에 절연막을 증착하되, (식각률)/(증착률)의 비율을 달리하는 다단계 매립공정으로 이루어지는 것을 특징으로 한다. 본 발명에 의해 3:1이상의 종횡비를 갖는 트렌치도 보이드없이 완전하게 매립될 수 있다.

대표도

도3c

명세서

도면의 간단한 설명

도 1은 종래의 방법에 의해 트렌치형 매립함에 있어서, 폭이 좁은 트렌치와 폭이 넓은 트렌치의 재증착 정도를 각각 비교하여 도시한 단면도이다.

도 2는 종래의 트렌치 매립방법에 의해 갭-필링 트렌치형 도시한 단면도이다.

도 3a 내지 도3c는 본 발명에 의한 트렌치 매립방법을 순차적으로 도시한 단면도들이다.

도 4a 내지 도 4d는 본 발명에 의한 게이트가 형성된 반도체 기판위에 층간절연막을 형성하는 공정을 순차적으로 도시한 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

최근에 반도체 소자의 제조 기술이 발달함에 따라, 반도체 소자가 고집적화가 되고, 그 결과 회로상의 금속배선은 점차 미세한 선 폭으로 형성되고 그 배선간의 간격도 미세화되어 가고 있다. 현재 메모리 소자 및 로직 소자등에서 집적회로 상의 소자와 소자사이를 분리하기 위하여 트렌치 분리(trench isolation)방법의 사용이 점차 증가하고 있다. 이때, 트렌치형 채우는 절연막은 일반적으로 SiO₂가 사용된다. 하지만, 회로의 선폭이 감소됨에 따라 트렌치의 폭이 좁아지고 깊이가 깊어지게 되어 트렌치의 종횡비(Aspect ratio)가 증가하게 된다. 따라서, 화학 기상 증착 방법에 의하여 트렌치형 SiO

FS入力濟

주기 위하여 제공되는 것으로서, 본 발명의 기술사상 및 범위내에서 당 분야의 통상의 지식을 가진 자에 의하여 각종 변형 및 개량이 가능함은 명백하다. 또한, 도면에서 ? 나 영역들의 두께는 설명을 명확하게 하기 위한 과장된 것이다. 도면에서 동일한 참조부호는 동일한 구성요소를 나타낸다. 또한, 어떤 층이 다른 층 또는 기판의 "상부"에 있다고 기재된 경우, 상기 어떤 층이 상기 다른 층 또는 기판의 상부에 직접 접촉하면서 존재할 수도 있고, 그 사이에 다른 제3의 층이 개재될 수도 있다.

제1 실시예도 3a 내지 도 3c는 본 발명에 의한 트렌치 매립방법을 설명하기 위하여 각 공정을 순차적으로 도시한 단면도들이다.

도 3을 참조하면, 반도체 기판(300)위에 식각저지층(310)을 형성한다. 식각저지층(310)은 질화실리콘막인 것이 바람직하다. 다음, 사진식각공정을 이용하여, 트렌치를 형성하고자 하는 영역의 식각저지층(310) 및 반도체 기판(300)을 에칭함으로써, 소자분리층 위한 트렌치(312)를 형성한다. 다음, 고밀도 플라즈마 화학기상 증착방법을 이용하여 트렌치(312)의 내부 및 식각저지층(310)의 상부에 절연물을 증착함으로써 제1 매립층(320)을 형성한다. 이때, 제1 매립층(320)을 증착함에 있어서, 가능한 한 높은 (스퍼터 식각률)/(증착률)의 비율(이하 "E/D ratio"라 한다)을 갖도록 하는 것이 바람직하다. 또한, 제1 매립층(320)의 두께는 트렌치(312)의 깊이의 약 1/2이 되도록 하는 것이 바람직하다. 따라서, 고밀도 화학기상 증착을 진행함에 있어서, 제1 매립층(320)이 트렌치(312)의 깊이의 1/2정도가 채워질 때까지, 아르곤 이온에 의하여 에칭된 제1 매립층(312)의 재증착으로 인한 오버-행이 형성되지 않고 제1 매립층의 표면의 검사도가 양(positive)의 값을 갖도록 하기 위하여 고밀도 플라즈마 화학기상 증착공정의 각 진행요소를 조절하여야 한다. 원하는 E/D ratio를 얻기 위하여, 고밀도 플라즈마 화학기상 증착 공정요소중 소스 RF 전력, 바이어스 RF 전력, 및 SiH

4와 O₂ 가스의 플로우율(flow rate)을 조절하는 것이 바람직하다.

도 3b를 참조하면, 제1 매립층(320)이 형성된 트렌치(312)의 상부에 고밀도 화학기상 증착 공정을 이용하여 절연물을 증착함으로써 제2 매립층(330)을 형성한다. 제2 매립층(330)은 in-situ 공정으로 진행하는 것이 바람직하다. 이때, 제1 매립층(320)을 증착할 때의 E/D ratio로 절연물을 계속 증착하면, 아르곤 가스에 의해 에칭된 절연물의 재증착(redemption)이 발생하게 되고, 이러한 재증착에 의해 오버-행이 증가하게 된다. 따라서, 재증착에 의한 오버-행을 억제하기 위하여 증착 공정 진행중의 스퍼터 에칭 속도도 낮추는 것이 바람직하다. 스퍼터 에칭 속도도 낮추기 위하여, 제2 매립층(330)의 E/D ratio는 제1 매립층(320)의 E/D ratio보다 낮은 것이 바람직하다. 또한, 제2 매립층(330)의 두께는 트렌치(312)의 깊이의 약 1/2정도인 것이 바람직하다. E/D ratio를 낮추기 위하여는, 고밀도 화학기상 증착공정 요소 중, 소스 RF 전력의 감소, 바이어스 RF 전력의 감소 및 SiH

4와 O₂ 가스의 플로우율의 증가하는 것 중 어느 하나 이상을 실시하는 것이 바람직하다. 이 단계를 거치면서 트렌치(312)의 프로파일은 제2 매립층의 증착전의 구조와 비교해볼 때, 형평비가 감소된다.

도 3c를 참조하면, in-situ 공정으로, 고밀도 플라즈마 화학기상 증착방법을 이용하여 제2 매립층(330)이 형성된 트렌치의 상부에 절연물을 증착함으로써 제3 매립층(340)을 형성한다. 이때, 증착공정의 요소를 적절히 변화시켜, 제3 매립층(340)의 증착시의 E/D ratio는 제2 매립층(330)의 E/D ratio보다 낮게 하는 것이 바람직하다. 이는 공정 진행중의 에칭 속도도 낮춤으로써, 트렌치 입구에서의 재증착에 의한 오버-행은 억제하기 위함이다. 제3 매립층(340)의 E/D ratio는, 제2 매립층(330)이 형성된 트렌치(312)의 증착비의 상태에서 보이도록 트랜치가 완전하게 매립될 수 있을 정도의 값으로 하는 것이 바람직하다. 제3 매립층(340)을 형성함에 있어서, 원하는 전체 절연막의 두께를 달성할 때까지 절연물을 증착하여 트렌치(312)를 완전히 매립하여야 한다.

본 발명에 의하여, 증평비가 3:1이상인 트렌치가 보이도록 완전히 완전하게 매립될 수 있다.

제2 실시예도 4a 내지 도 4d는 본 발명에 의하여 게이트가 형성된 반도체 기판위에 중간절연막을 형성하는 공정을 순차적으로 도시한 단면도들이다.

도 4a를 참조하면, 반도체 기판(400)위에 게이트전극(412) 및 게이트 스페이서(414)로 이루어진 게이트(410)를 형성한다. 소자가 고집적화됨에 따라, 게이트와 게이트사이가 좁아져서 증평비가 큰 트렌치 구조를 이루게 된다.

도 4b를 참조하면, 게이트가 형성된 반도체 기판의 전면에 고밀도 플라즈마 화학기상 증착방법을 이용하여 절연물을 증착함으로써, 제1 중간절연막(420)을 형성한다. 이때, 제1 중간절연막(420)은 게이트사이의 트렌치의 약 1/2 정도의 두께로 형성되는 것이 바람직하다. 또한, 가능한 한 높은 E/D ratio에서 증착공정을 진행하는 것이 바람직하다.

도 4c를 참조하면, 제1 중간절연막(420)이 형성된 반도체 기판(400)위에 in-situ 공정으로, 절연물을 증착하여 제2 중간절연막(430)을 형성한다. 이때, 제2 중간절연막(430)의 두께는 트렌치의 약 1/2 정도의 두께로 형성되는 것이 바람직하다. 또한, 아르곤 이온에 의하여 에칭된 절연막의 재증착으로 인하여 트렌치의 입구에 오버-행이 발생하는 것을 억제하기 위하여, 제2 절연막(430)의 증착시 E/D ratio는 제1 중간절연막(420)의 E/D ratio보다 낮은 것이 바람직하다. 제2 중간절연막(430)의 형성에 의해 트렌치의 증평비가 그 전단계의 경우보다 낮아진다.

도 4d를 참조하면, 제2 중간절연막(430)이 형성된 반도체 기판(400)위에 in-situ 공정으로, 절연물을 증착함으로써 제3 중간절연막(440)을 형성한다. 이때, 공정 진행중에 절연막의 에칭속도도 낮추어 재증착에 의한 오버-행이 발생하는 것을 억제하기 위하여, 제3 절연막(430)의 증착시 E/D ratio는 제2 중간절연막(420)의 E/D ratio보다 낮은 것이 바람직하다. 제3 중간절연막(440)은 게이트 위에 형성하고자 하는 중간절연막의 두께를 달성할 때까지 절연물을 증착한다.

본 발명에 의해 게이트와 게이트사이에 3:1이상의 높은 증평비인 갖는 트렌치가 형성되더라도, 다단계의 고밀도 플라즈마 화학기상 증착방법을 이용하여 보이도록 완전히 갭-필(gap-fill)하는 중간절연막을 형성할 수 있다.

앞서 살펴본 본 발명에 의해, 소자와 소자들 분리하기 위한 트렌치가 3:1 이상의 증착비율 갖는 경우, 고밀도 플라즈마 화학기상 증착공정을 다단계로 실시하고 각 단계의 E/D ratio를 달리함으로써, 보이드없이 완전하게 E 치를 매립할 수 있다.

또한, 본 발명에 의해, 게이트들이 조밀하게 형성된 반도체 기판상에, 고밀도 플라즈마 화학기상 증착공정을 다단계로 실시하고 각 단계의 E/D ratio를 달리함으로써, 보이드없이 완전하게 갭-필할수 있는 중간절연막을 형성할 수 있다.

(57)청구의 범위

청구항1

비활성 영역에 트렌치를 형성하여 활성영역들을 분리하는 반도체 소자의 제조공정에 있어서, 고밀도 플라즈마 화학기상 증착방법을 이용하여 상기 트렌치를 절연물질로 매립하되, 적어도 3단계 이상의 절연층 매립공정을 진행하여 상기 트렌치에 매립하는 것을 특징으로 하며, 제1 단계 매립공정은 상기 트렌치가 약 1/3 이상 채워질 때까지 진행하며, 제2 단계 매립공정은 상기 제1 단계 매립공정에서의 (식각률)/(증착율)의 비율보다 더 작은 (식각률)/(증착율)의 비율로 공정을 진행하며, 제3 단계 매립공정은 상기 제2 단계 매립공정에서의 (식각률)/(증착율)의 비율보다 더 작은 (식각률)/(증착율)의 비율로 공정을 진행하는 것을 특징으로 하는 트렌치 매립방법.

청구항2

제1항에 있어서, 상기 (식각률)/(증착율)의 비율을 조절하기 위하여는, 고밀도 플라즈마 화학기상 증착 공정의 조절요소에 있어서 소스 고주파 전력의 감소, 바이어스 고주파 전력의 감소 및 SiH_4 와 O_2 가스의 플로우율의 증가중 적어도 하나 이상을 실행하는 것을 특징으로 하는 트렌치 매립 방법.

청구항3

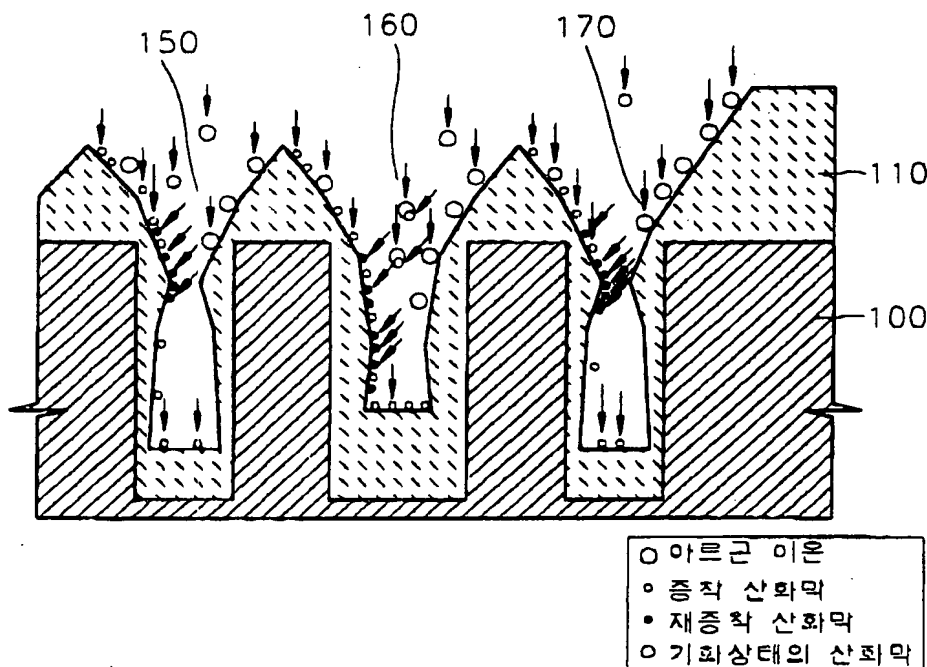
제1항에 있어서, 상기 트렌치는 3:1 이상의 증착비율 가지는 것을 특징으로 하는 트렌치 매립 방법.

청구항4

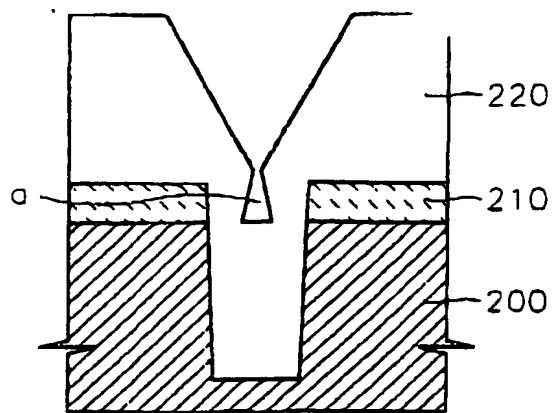
게이트 전극들이 형성된 반도체 기판상에 중간절연막을 형성하는 반도체 소자의 제조방법에 있어서, 상기 중간절연막을 형성하는 단계는, 고밀도 플라즈마 화학기상 증착방법을 이용하여 중간절연막을 형성하되, 적어도 3단계이상의 절연층 증착공정을 진행하는 것을 특징으로 하며, 제1 단계 절연층 증착공정은 상기 게이트 전극들 사이의 갭이 1/3 이상 채워지도록 하고, 제2 단계 절연층 증착공정은 상기 제1 단계 절연층 증착공정에서의 (식각률)/(증착율)의 비율보다 더 작은 (식각률)/(증착율)의 비율로 공정을 진행하며, 제3 단계 절연층 증착공정은 상기 제2 단계 절연층 증착공정에서의 (식각률)/(증착율)의 비율보다 더 작은 (식각률)/(증착율)의 비율로 공정을 진행하는 것을 특징으로 하는 중간절연막 형성방법.

도면

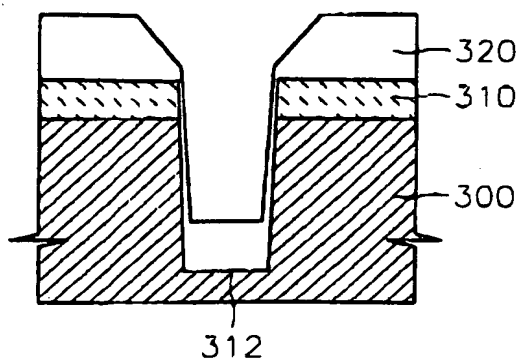
도면1



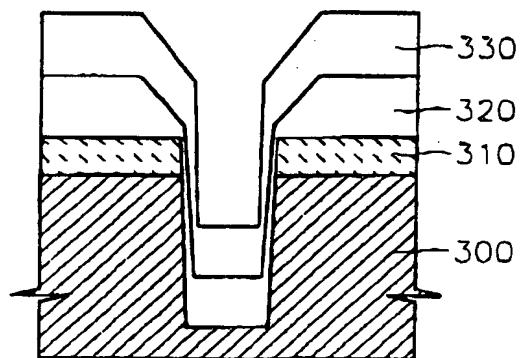
도면2



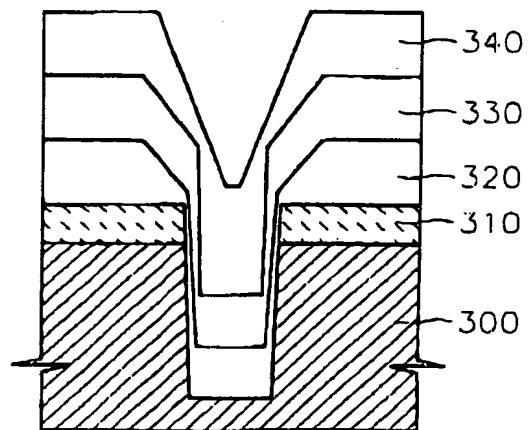
도면3a



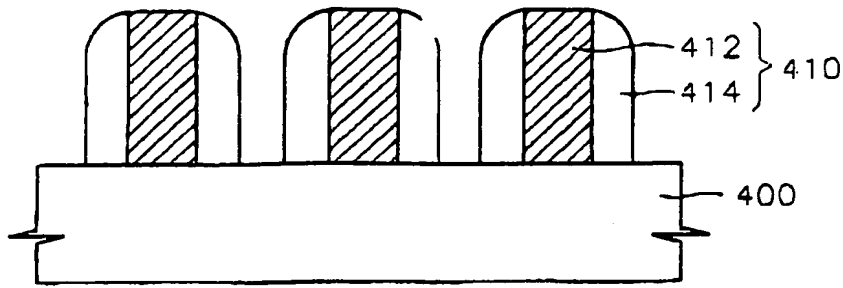
도면3b



도면3c

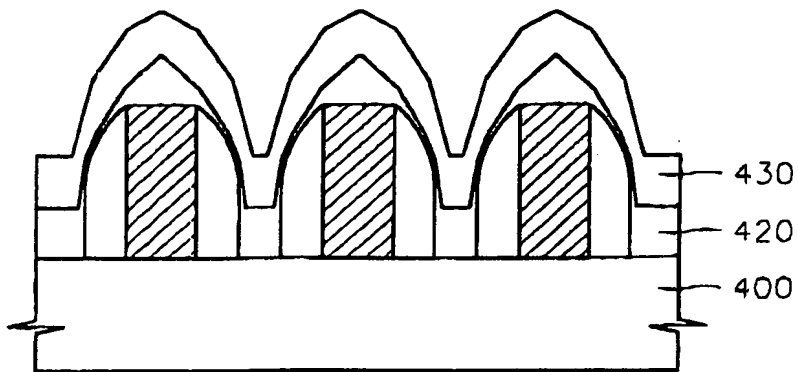


도면4a

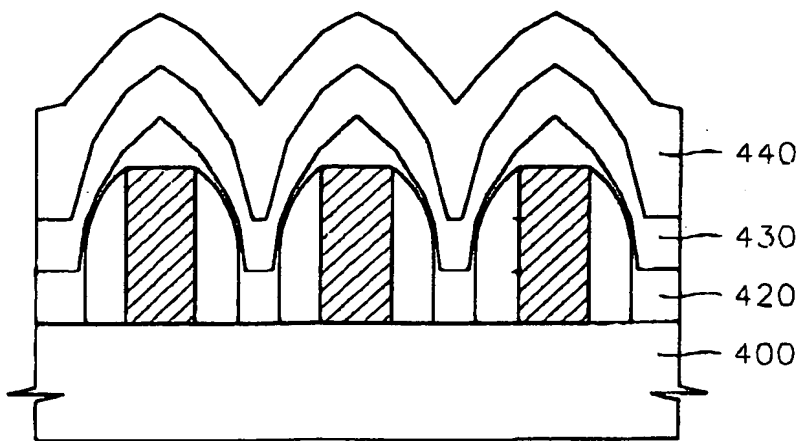


도면4b

도면4c



도면4d



HSB/SSK2005-4-21912-0/AK)

(19)大韓民国特許庁(KR)
(12)公開特許公報(A)

(51)Int. Cl.⁶
H01L 21/205

(11)公開番号 特 2000-0059285
(43)公開日付 2000 年 10 月 05 日

(21)出願番号 10-1999-0006732

(22)出願日付 1999 年 3 月 2 日

(71)出願人: 三星電子株式会社

(72)発明者: キム・ソンジン

審査請求なし

(54)トレンチ埋め込み方法

[要約]

本発明は半導体素子の製造工程において、3:1 以上の縦横比を有するトレンチを埋め込む方法を開示する。本発明のトレンチ埋め込み方法は、高密度プラズマ化学気相蒸着方法を用いてトレンチ内部に絶縁物を蒸着し、(エッチング率)/(蒸着率)の比率を異にする多段階埋め込み工程からなるものを特徴とする。本発明により 3:1 以上の縦横比を有するトレンチもボイドなしに完全に埋め込まれることができる。

[図面の簡単な説明]

図 1 は従来の方法によるトレンチの埋め込みにおいて、幅が狭いトレンチと幅が広いトレンチの再蒸着程度をそれぞれ比較して示した断面図である。

図 2 は従来 of トレンチ埋め込み方法によりギャップ-フィルされたトレンチを示した断面図である。

図 3a～図 3c は本発明によるトレンチ埋め込み方法を順次示した断面図である。

図 4a～図 4d は本発明によるゲートが形成された半導体基板上に層間絶縁膜を形

成する工程を順次示した断面図である。

【発明の詳細な説明】

第1実施例

図3a～図3cは本発明によるトレンチ埋め込み方法を説明するために各工程を順次示した断面図である。

図3を参照すれば、半導体基板(300)上にエッチング阻止層(310)を形成する。エッチング阻止層(310)は窒化シリコン膜であることが望ましい。次に、写真エッチング工程を用いて、トレンチを形成しようとする領域のエッチング阻止層(310)及び半導体基板(300)をエッチングすることにより、素子分離のためのトレンチ(312)を形成する。後に、高密度プラズマ化学気相蒸着方法を用いてトレンチ(312)の内部及びエッチング阻止層(310)の上部に絶縁物を蒸着することによって、第1埋め込み層(320)を形成する。この時、第1埋め込み層(320)を蒸着するにおいて、できるだけ高い(スパッタエッチング率)/(蒸着率)の比率(以下、E/D ratio という)を有するようにすることが望ましい。また、第1埋め込み層(320)の厚さはトレンチ(312)の深さの約 1/3 になるようにすることが望ましい。従って、高密度化学気相蒸着を進行するにおいて、第1埋め込み層(320)がトレンチ(312)の深さの 1/3 程度が満たされるまで、アルゴンイオンによってエッチングされた第1埋め込み層(312)の再蒸着によるオーバーハングが形成されず、第1埋め込み層の表面の傾斜度が正(positive)の値を有するようにするために、高密度プラズマ化学気相蒸着工程の各進行要素を調節しなければならない。所望の E/D ratio を得るために、高密度プラズマ化学気相蒸着工程要素のうち、ソース RF 電力、バイアス RF 電力、及び SiH_4 と O_2 ガスのフロー率(flow rate)を調節することが望ましい。

図3bを参照すれば、第1埋め込み層(320)が形成されたトレンチ(312)の上部に高密度化学気相蒸着工程を用いて絶縁物を蒸着することによって、第2埋め込み層(330)を形成する。第2埋め込み層(330)は in-situ 工程で進行することが望ましい。この時、第1埋め込み層(320)を蒸着する時の E/D ratio で絶縁物を継続して蒸着すれば、アルゴンガスによりエッチングされた絶縁物の再蒸着

(redeposition)が発生するようになって、このような再蒸着によりオーバーハングが増加するようになる。従って、再蒸着によるオーバーハングを抑制するために蒸着工程進行中のスパッタエッチング速度を遅らせることが望ましい。スパッタエッチング速度を遅らせるために、第2埋め込み層(330)のE/D ratioは第1埋め込み層(320)のE/D ratioより低いものが望ましい。また、第2埋め込み層(330)の厚さはトレンチ(312)の深さの約1/3程度であることが望ましい。E/D ratioを低くするためには、高密度化学気相蒸着工程要素のうち、ソースRF電力の減少、バイアスRF電力の減少及びSiH₄とO₂ガスのフロー率を増加することのうちいずれか一つ以上を実施することが望ましい。この段階を経由しながらトレンチ(312)のプロファイルは第2埋め込み層の蒸着前の構造と比較してみると、縦横比が減少する。

図3cを参照すれば、in-situ工程で、高密度プラズマ化学気相蒸着方法を用いて第2埋め込み層(330)が形成されたトレンチの上部に絶縁物を蒸着することによって、第3埋め込み層(340)を形成する。この時、蒸着工程の要素を適切に変化させて、第3埋め込み層(340)の蒸着時のE/D ratioは第2埋め込み層(330)のE/D ratioより低くすることが望ましい。これは工程進行中のエッチング速度を低くすることによって、トレンチ入口での再蒸着によるオーバーハングを抑制するためである。第3埋め込み層(340)のE/D ratioは、第2埋め込み層(330)が形成されたトレンチ(312)の縦横比の状態でボイドなしにトレンチが完全に埋め込まれることができる程度の値とすることが望ましい。第3埋め込み層(340)を形成するにおいて、所望の全体絶縁膜の厚さを達成するまで絶縁物を蒸着してトレンチ(312)を完全に埋め込まなければならない。

本発明によって、縦横比が3:1以上であるトレンチがボイドなしに完全に埋め込まれることができる。

第2実施例

図4a～図4dは本発明によってゲートが形成された半導体基板上に層間絶縁膜を形成する工程を順次示した断面図である。

図 4a を参照すれば、半導体基板(400)上にゲート電極(412)及びゲートスペーサ(414)からなるゲート(410)を形成する。素子が高集積化されるに連れて、ゲートとゲート間が狭くなって縦横比が大きいトレンチ構造をなすようになる。

図 4b を参照すれば、ゲートが形成された半導体基板の全面に高密度プラズマ化学気相蒸着方法を用いて絶縁物を蒸着することによって、第 1 層間絶縁膜(420)を形成する。この時、第 1 層間絶縁膜(420)はゲート間のトレンチの約 1/3 程度の厚さに形成されることが望ましい。また、可能なかぎり高い E/D ratio で蒸着工程を進行することが望ましい。

図 4c を参照すれば、第 1 層間絶縁膜(420)が形成された半導体基板(400)上にイン-シチュー工程で、絶縁物を蒸着して第 2 層間絶縁膜(430)を形成する。この時、第 2 層間絶縁膜(430)の厚さはトレンチの約 1/3 程度の厚さに形成されることが望ましい。また、アルゴンイオンによってエッチングされた絶縁膜の再蒸着によってトレンチの入口にオーバー-行が発生することを抑制するために、第 2 層間絶縁膜(430)の蒸着時 E/D ratio は第 1 層間絶縁膜(420)の E/D ratio より低いことが望ましい。第 2 層間絶縁膜(430)の形成によりトレンチの縦横比がその前段階の場合より低くなる。

図 4d を参照すれば、第 2 層間絶縁膜(430)が形成された半導体基板(400)上にイン-シチュー工程で、絶縁物を蒸着することによって第 3 層間絶縁膜(440)を形成する。この時、工程進行中に絶縁膜のエッチング速度を遅らせて再蒸着によるオーバー-行が発生するのを抑制するために、第 3 層間絶縁膜(440)の蒸着時に E/D ratio は第 2 層間絶縁膜(430)の E/D ratio より低いことが望ましい。第 3 層間絶縁膜(440)はゲート上に形成しようとする層間絶縁膜の厚さを達成するまで絶縁物を蒸着する。

本発明によりゲートとゲート間に 3:1 以上の高い縦横比を有するトレンチが形成されても、多段階の高密度プラズマ化学気相蒸着方法を用いてボイドなしに完全にギャップ-フィル(gap-fill)する層間絶縁膜を形成することができる。

【発明の効果】

上記で詳察した本発明により、素子と素子を分離するためのトレンチが 3:1 以上の縦横比を有する場合、高密度プラズマ化学気相蒸着工程を多段階に実施して各段階の E/D ratio を異にすることによって、ボイドなしに完全にトレンチを埋め込むことができる。

また、本発明により、ゲートが稠密に形成された半導体基板上に、高密度プラズマ化学気相蒸着工程を多段階に実施して各段階の E/D ratio を異にすることによって、ボイドなしに完全にギャップ-フィルできる層間絶縁膜を形成することができる。

【特許請求の範囲】

【請求項 1】

不活性領域にトレンチを形成して活性領域を分離する半導体素子の製造工程において、高密度プラズマ化学気相蒸着方法を用いて上記トレンチを絶縁物質に埋め込むが、少なくとも 3 段階以上の絶縁物埋め込み工程を進行して上記トレンチを埋め込むことを特徴とし、第 1 段階埋め込み工程は上記トレンチが約 1/3 以上満たされるまで進行し、第 2 段階埋め込み工程は上記第 1 段階埋め込み工程での(エッチング率)/(蒸着率)の比率より小さな(エッチング率)/(蒸着率)の比率で工程を進行して、第 3 段階埋め込み工程は上記第 2 段階埋め込み工程での(エッチング率)/(蒸着率)の比率より小さな(エッチング率)/(蒸着率)の比率で工程を進行することを特徴とするトレンチ埋め込み方法。